

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-025245

(43)Date of publication of application : 25.01.2002

(51)Int. Cl.

G11C 11/15

G11C 11/14

H01F 10/08

H01L 27/105

H01L 43/08

(21)Application number : 2000-
199590

(71)Applicant : NEC CORP

(22)Date of filing : 30.06.2000 (72)Inventor : OKAZAWA TAKESHI

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND INFORMATION RECORDING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile semiconductor storage device which seldom brings about a malfunction because the change of an output signal is large, does not need an accurate resistance value generation element and can be integrated in high density because of its simple configuration, and an information recording method for the nonvolatile semiconductor storage device.

SOLUTION: In the configuration of a memory cell, 2nd wiring 25 crossing orthogonally with 1st wiring 21 and 1st wiring 21 and 3rd wiring 35 being in parallel with the 1st wiring 21 are provided, 1st memory elements 28 are provided between the 1st wiring 21 and the 2nd wiring 25, 2nd memory elements 38 are provided between the 2nd wiring 25 and the 3rd wiring 35, and in the configuration of the memory elements, an insulation film 13 is inserted between the two layers of ferromagnetic substance thin films. Data which are opposite from each other are

recorded in the 1st memory elements 28 and in 2nd memory elements 38.

LEGAL STATUS

[Date of request for examination] 28.11.2001

[Date of sending the examiner's
decision of rejection] 23.07.2004

[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1] The 1st wiring which extends in the 1st direction, and the 1st memory device prepared so that it might connect with said 1st wiring, The 2nd wiring which extends in the 2nd direction which connects with this 1st memory device and is different from said 1st direction, The 2nd memory device prepared so that it might connect with said 2nd wiring, and the 3rd wiring which connects with this 2nd memory device and extends in said 1st direction, **** and said 1st memory device is constituted by the ferromagnetic thin film more than two-layer [which was prepared in an insulator layer and the both sides of this insulator layer, and was connected to said the 1st wiring and said wiring of the 2nd, respectively]. Said 2nd memory device is constituted by the ferromagnetic thin film more than two-layer [which was prepared in an insulator layer and the both sides of this insulator layer, and was connected to said the 2nd wiring and said wiring of the 3rd,

respectively]. Information is memorized as a difference of the magnetization direction in the ferromagnetic thin film more than two-layer [this]. Information is read using the electric resistance value of the tunnel current which flows said memory device according to the magneto-resistive effect by the difference of this magnetization direction changing. Said the 1st memory device and said 2nd memory device are a non-volatile semiconductor memory characterized by always becoming one pair and memorizing opposite information mutually.

[Claim 2] The write-in circuit which two or more [of said 1st and 2nd memory devices] are prepared in the said 1st, 2nd, and 3rd wiring lists, respectively, is connected to said 1st, 2nd, and 3rd wiring, and writes information in said 1st and 2nd memory devices, The non-volatile semiconductor memory according to claim 1 characterized by having the readout circuitry which reads the information which was connected to said 1st, 2nd, and 3rd wiring, and was memorized by said 1st and 2nd memory devices.

[Claim 3] Said the 1st direction and said 2nd direction are a non-volatile semiconductor memory according to claim 1 or 2 characterized by intersecting perpendicularly mutually.

[Claim 4] Said 1st wiring is mutually arranged in parallel on the 1st flat surface, and said 2nd wiring is parallel to said 1st flat surface, and it is mutually arranged in parallel on the 2nd flat surface arranged above said 1st flat surface. Said 3rd wiring is parallel to said 1st flat surface, and it is mutually arranged in parallel on the 3rd flat surface arranged above said 2nd flat surface. Said 1st memory device is parallel to said 1st flat surface, and it is arranged on the 4th flat surface arranged between said 1st flat surface and said 2nd flat surface. Said 2nd memory device is a non-volatile semiconductor memory according to claim 2 or 3 characterized by being arranged on the 5th flat surface which is parallel to said 1st flat surface, and is arranged between said 2nd flat surface and said 3rd flat surface.

[Claim 5] Said write-in circuit and said readout circuitry are a non-volatile semiconductor memory given in claim 2 characterized by being a semiconductor integrated circuit thru/or any 1 term of 4.

[Claim 6] A non-volatile semiconductor memory given in claim 1 to which the group which becomes the said 1st, 2nd, and 3rd wiring lists from said 1st and 2nd memory devices is characterized by arranging more than one through an insulating layer thru/or any 1 term of 5.

[Claim 7] An approach to be the information record approach of the non-volatile semiconductor memory a publication, and write the information on said non-volatile semiconductor memory in claim 1 thru/or any 1 term

of 6 The process which magnetizes one or more ferromagnetic thin films in said 1st memory device, and considers relation between this magnetization direction and the magnetization direction of other ferromagnetic thin films in said 1st memory device as parallel or anti-parallel, The process which magnetizes one or more ferromagnetic thin films in said 2nd memory device, and considers relation between this magnetization direction and the magnetization direction of other ferromagnetic thin films in said 2nd memory device as parallel or anti-parallel, The 1st condition of ****(ing), making parallel relation of said magnetization direction in said 1st memory device, and considering relation of said magnetization direction in said 2nd memory device as anti-parallel, It is what writes in information by choosing one side while in the 2nd condition of considering relation of said magnetization direction in said 1st memory device as anti-parallel, and making parallel relation of said magnetization direction in said 2nd memory device. Furthermore, an approach to read the information from said non-volatile semiconductor memory The process which measures the 1st electric resistance value of the tunnel current which flows said 1st memory device, The process which measures the 2nd electric resistance value of the tunnel current which flows said 2nd memory device, The information record approach of the non-volatile semiconductor memory characterized by having the process which reads information by detecting which the difference of said 1st electric resistance value and said 2nd electric resistance value is detected, and is chosen among said 1st and 2nd conditions.

[Claim 8] The process which magnetizes one or more ferromagnetic thin films in said 1st memory device is the information record approach of the non-volatile semiconductor memory according to claim 7 characterized by carrying out to at least one side among said 1st wiring and said 2nd wiring using the magnetic field which passes a current and is generated according to this current.

[Claim 9] The process which magnetizes one or more ferromagnetic thin films in said 2nd memory device is the information record approach of the non-volatile semiconductor memory according to claim 7 or 8 characterized by carrying out to at least one side among said 2nd wiring and said 3rd wiring using the magnetic field which passes a current and is generated according to this current.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the non-volatile semiconductor memory constituted by the magnetic resistance element which a memory device turns into from a ferromagnetic thin film about a rewritable non-volatile semiconductor memory and its information record approach electrically, and its information record approach.

[0002]

[Description of the Prior Art]

[Description of the Prior Art] What the memory device consists of in the rewritable non-volatile semiconductor memory using the magnetic resistance element which consists of a ferromagnetic thin film electrically is called high density MAG memory (it is called MRAM below Magnetic Random Access Memory:).

[0003] Drawing 4 (a) is the mimetic diagram showing the structure of this memory device, drawing 4 is the mimetic diagram showing an example of the memory device of this MRAM, and (c) is [(b) is the mimetic diagram showing the read-out actuation in this memory device, and] the mimetic diagram showing write-in actuation of this memory device. As shown in drawing 4 (a), it sets to this memory device. The fixed bed 12 which consists of a ferromagnetic thin film with which the direction of magnetization with a thickness of about 20nm is being fixed to the position on the lower layer wiring 11 is formed. The insulator layer 13 with a thickness of about 2nm is formed on the fixed bed 12, and the data storage layer 14 which consists of a ferromagnetic thin film from which the direction of magnetization with a thickness of about 20nm can change is formed on an insulator layer 13. The lower layer wiring 11 and the upper wiring 15 extended in the direction which goes direct are formed on this data storage layer 14.

[0004] As shown in drawing 4 (c), write-in actuation of said memory device memorizes binary information by changing the magnetization direction of the data storage layer 14, and considering mutually relation between the magnetization direction of the fixed bed 12, and the magnetization direction of the data storage layer 14 as parallel (in data 1), or anti-parallel (in data 0) by the external magnetic field. the electric resistance value of the insulator layer 13 in case the electric resistance values of the insulator layer 13 when the relation of said magnetic direction is parallel are anti-parallel by the magnetoresistive effect at this time -- comparing -- about 10 -- or it changes

40%.

[0005] As shown in drawing 4 (b), read-out of the binary information memorized by such approach can give the predetermined potential difference between the upper wiring 15 and the lower layer wiring 11, and can be performed by passing tunnel current from the lower layer wiring 11 to the upper wiring 15 through the fixed bed 12, an insulating layer 13, and the data storage layer 14. namely, the relation between the magnetization direction of the fixed bed 12, and the magnetization direction of the data storage layer 14 -- parallel -- or -- anti- -- the information memorized by detecting said tunnel current change by whether it is parallel since the electric resistance value of an insulating layer 13 changes with tunnel magneto-resistive effects (it is called TMR below Tunneling magneto-resistance effect:) can be taken out to the exterior.

[0006] The memory device shown in drawing 4 (a) and (b) is more advantageous as an approach of becoming a simple configuration from the memory device which uses the tunnel magneto-resistive effect (TMR) and uses former giant magneto-resistance (it is called GMR below Giant magneto-resistance effect:) in formation of the electrode for pulling out storage information to the exterior, and forming high-density MRAM.

[0007] Drawing 5 is the mimetic diagram showing MRAM which has arranged the memory device shown in drawing 4 in the shape of a grid. Two or more arrangement of the lower layer wiring 11 called a word line is carried out, two or more arrangement of the upper wiring 15 called a bit line in the different direction from a word line is carried out, and the lower layer wiring 11 and the upper wiring 15 cross in the shape of a grid. The memory device 17 mentioned above is arranged at the intersection of this grid, i.e., the recently contact of the lower layer wiring 11 and the upper wiring 15. The memory device 17 of arbitration can choose and choose a predetermined word line (lower layer wiring 11) and a predetermined bit line (the upper wiring 15). The memorized information can be taken out to the exterior by performing predetermined storage to each memory device 17, and detecting the tunnel current between the word lines and bit lines corresponding to each memory device 17. There is memory indicated by JP, 2000-82791, A as an example of this conventional kind of memory. Also in the configuration of this memory, change of the tunnel current of the MTJ (magnetic tunnel junction) component formed between lower layer wiring and the upper wiring is detected as storage information.

[0008] Thus, since it is constituted by the magnetic resistance element which has the configuration of three or more layers which usually

consists of an insulator layer inserted with two-layer ferromagnetic thin films and these ferromagnetic thin films, the relation to parallel or anti-parallel of the magnetization direction in two ferromagnetic thin films becomes by change of an external magnetic field and the electric resistance values in the tunnel current in said insulator layer differ by this, MRAM using TMR can memorize binary [of 1 and 0]. [0009] However, as max is not so large as about 40%, either and it is shown in drawing 5, the amount of electric resistance value changes by the magneto-resistive effect about 30% usually If many memory devices 17 are arranged in the shape of a grid, also when reading the information memorized by the specific memory device 17, it is influenced of the noise resulting from non-choosing a word line and a bit line, and for this reason, the ratio (a signal/noise) of a read-out current becomes smaller, and causes malfunction. Although many memory devices 17 are arranged in the shape of a grid as shown in drawing 5 in case mass storage is constituted especially, it may mainly increase by dispersion on manufacture to the magnitude which cannot disregard dispersion in the electric resistance value in each memory device 17.

[0010] For this reason, in order to need highly precise circuitry for the detection means in this conventional non-volatile semiconductor memory and to raise the precision of read-out, there is a trouble that the time amount which read-out takes becomes long. Although there is a means of using it as an object for the reference at the time of considering as a means, for example, detecting absolute value change of an electric resistance value [in / for a highly precise resistance generating component / each memory device] in order to raise the precision of read-out, forming such a highly precise resistance generating component leads to the rise of cost, and it leads also to the performance degradation at the time of read-out.

[0011] As opposed to the problem peculiar to such MRAM, two memory devices are made into one pair, a memory cell is formed, information is memorized to this memory cell, and the technique of reading the difference of a current is proposed as indicated by JP, 10-177783, A.

[0012]

[Problem(s) to be Solved by the Invention] However, there is a trouble shown below in the technique currently indicated in JP, 10-177783, A. By this memory cell, although the magnetic memory cell for MRAM in this technique uses the GMR effectiveness, in order to read storage information, it must pass a current in the direction parallel to the magnetization direction, and must detect electric resistance value change. Therefore, the electrode for electric resistance value detection

must be formed in the side face of the information Records Department (magnetic resistance element), and in carrying out the laminating of the two memory devices and forming them up and down moreover, there is a trouble that electrode drawer wiring becomes a complicated configuration, as shown in drawing 1 in JP,10-177783,A. For this reason, this memory cell is not suitable for the information storage device formed by accumulating many memory cells on high density.

[0013] This invention is made in view of this trouble, since change of an output signal is large, it is hard to cause malfunction, a resistance generating component is unnecessary, and since the configuration is simple, it aims at offering the non-volatile semiconductor memory which can pile up high density, and the information record approach of this non-volatile semiconductor memory.

[0014]

[Means for Solving the Problem] The 1st wiring with which the non-volatile semiconductor memory concerning this invention extends in the 1st direction, The 1st memory device prepared so that it might connect with said 1st wiring, and the 2nd wiring which extends in the 2nd direction which connects with this 1st memory device and is different from said 1st direction, The 2nd memory device prepared so that it might connect with said 2nd wiring, and the 3rd wiring which connects with this 2nd memory device and extends in said 1st direction, **** and said 1st memory device is constituted by the ferromagnetic thin film more than two-layer [which was prepared in an insulator layer and the both sides of this insulator layer, and was connected to said the 1st wiring and said wiring of the 2nd, respectively]. Said 2nd memory device is constituted by the ferromagnetic thin film more than two-layer [which was prepared in an insulator layer and the both sides of this insulator layer, and was connected to said the 2nd wiring and said wiring of the 3rd, respectively]. Information is memorized as a difference of the magnetization direction in the ferromagnetic thin film more than two-layer [this]. It is characterized by reading information using the electric resistance value of the tunnel current which flows said memory device according to the magneto-resistive effect by the difference of this magnetization direction changing, and for said the 1st memory device and said 2nd memory device always becoming one pair, and memorizing opposite information mutually.

[0015] Conventionally, prepare one memory device between wiring of two, and form two memory devices between wiring of three, these are made to memorize opposite data of each other in this invention to having detected the absolute value of the electric resistance value of the

tunnel current which flows this memory cell, and the difference of that tunnel current is detected. In order for this to detect a relative change of an electric resistance value, the width of face of change becomes large and the precision which reads information improves.

Moreover, since the configuration of a memory cell has simple composition, this memory cell can be accumulated easily and a large-scale non-volatile semiconductor memory can be formed.

[0016] An approach to write in the information on said memory cell in the information record approach of the non-volatile semiconductor memory concerning this invention The process which magnetizes one or more ferromagnetic thin films in said 1st memory device, and considers relation between this magnetization direction and the magnetization direction of other ferromagnetic thin films in said 1st memory device as parallel or anti-parallel, The process which magnetizes one or more ferromagnetic thin films in said 2nd memory device, and considers relation between this magnetization direction and the magnetization direction of other ferromagnetic thin films in said 2nd memory device as parallel or anti-parallel, The 1st condition of ****(ing), making parallel relation of said magnetization direction in said 1st memory device, and considering relation of said magnetization direction in said 2nd memory device as anti-parallel, Information is written in by choosing one side, while in the 2nd condition of considering relation of said magnetization direction in said 1st memory device as anti-parallel, and making parallel relation of said magnetization direction in said 2nd memory device.

[0017] Moreover, the process which measures the 1st electric resistance value of the tunnel current to which an approach to read said information flows said 1st memory device, The process which measures the 2nd electric resistance value of the tunnel current which flows said 2nd memory device, The difference of said 1st electric resistance value and said 2nd electric resistance value is detected, and it has the process which reads information by detecting which is chosen among said 1st and 2nd conditions.

[0018]

[Embodiment of the Invention] Hereafter, the example of this invention is concretely explained with reference to an attached drawing. First, the 1st example of this invention is explained. Drawing 1 is the mimetic diagram showing the configuration of the memory cell of MRAM concerning this example, and a non-volatile semiconductor memory, drawing 1 (a) is the mimetic diagram showing the configuration of a memory cell, and drawing 1 (b) is the mimetic diagram showing a part of configuration of

the non-volatile semiconductor memory which is made to arrange this memory cell in the shape of a grid, and is formed.

[0019] The memory cell of the non-volatile semiconductor memory concerning this example As shown in drawing 1 (a), the 1st wiring 21 arranged in the shape of a straight line is formed in the 1st direction. The 1st fixed bed 22 which consists of a ferromagnetic to which the direction of magnetization with a thickness of about 20nm is being fixed so that it may connect with the 1st wiring 21 at the position on the 1st wiring 21 is formed. The 1st insulator layer 23 with a thickness [for passing tunnel current so that it may connect with the 1st fixed bed 22 on the 1st fixed bed 22] of about 2nm is formed. The 1st data storage layer 24 which consists of a ferromagnetic thin film from which the direction of magnetization with a thickness of about 20nm can change so that it may connect with the 1st insulator layer 23 on the 1st insulator layer 23 is formed. The 1st wiring 11 and the 2nd wiring 25 arranged in the shape of a straight line in the direction which goes direct are formed so that it may connect with the 1st data storage layer 24 on the 1st data storage layer 24. Furthermore, the 2nd fixed bed 32 which consists of a ferromagnetic to which the direction of magnetization with a thickness of about 20nm is being fixed so that it may connect with the 2nd wiring 25 at the position on the 2nd wiring 25 is formed. The 2nd insulator layer 33 with a thickness [for passing tunnel current so that it may connect with the 2nd fixed bed 32 on the 2nd fixed bed 32] of about 2nm is formed. The 2nd data storage layer 34 which consists of a ferromagnetic thin film from which the direction of magnetization with a thickness of about 20nm can change so that it may connect with the 2nd insulator layer 33 on the 2nd insulator layer 33 is formed. The 3rd wiring 35 arranged in parallel with the 1st wiring 11 so that it may connect with the 2nd data storage layer 34 on the 2nd data storage layer 34 is formed. In addition, as a part of this memory cell, the 1st memory device 28 is constituted by the 1st fixed bed 22, the 1st insulator layer 23, and the 1st data storage layer 24, and the 2nd memory device 38 is constituted by the 2nd fixed bed 32, the 2nd insulator layer 33, and the 2nd data storage layer 34. The memory cell of this example makes one pair this the 1st memory device 28 and 2nd memory device 38, and performs 1-bit storage.

[0020] The non-volatile semiconductor memory of this example arranges said memory cell in the shape of a grid, and is formed. As shown in drawing 1 (b), two or more arrangement of the 1st wiring 21 which is a lower layer bit line is carried out mutually on the 1st flat surface at parallel and regular intervals. Two or more arrangement of the 2nd

wiring 25 which is a word line is mutually carried out in the direction which goes to this lower layer bit line direct at parallel and regular intervals at a 2nd flat-surface top parallel to said 1st flat surface. Furthermore, two or more arrangement of the 3rd wiring 35 which is the upper bit line is mutually carried out in the same direction as the 1st wiring 21 at parallel and regular intervals at the 3rd flat-surface top parallel to said 2nd flat surface. At this time, said 2nd flat surface is arranged between said 1st flat surface and said 3rd flat surface. Moreover, in view of a direction perpendicular to said the 1st thru/or 3rd flat surface, i.e., plane view, the 1st wiring 21 laps with the 3rd wiring 35, and the 1st wiring 21 and the wiring 25 of the 2nd cross in the shape of a grid.

[0021] The 1st memory device 28 is arranged between the 1st wiring 21 and the 2nd wiring 25 in the recently contact of the 1st wiring 21 and the 2nd wiring 25. Moreover, the 2nd memory device 38 is arranged between the 2nd wiring 25 and the 3rd wiring 35 in the recently contact of the 2nd wiring 25 and the 3rd wiring 35. Therefore, the 1st memory device 28 has lapped with the 2nd memory device 38 in plane view. The 1st one memory device 28 and the 2nd memory device 38 arranged on it are made into one pair, and one memory cell is constituted. In the non-volatile semiconductor memory of this example, this memory cell is arranged in the shape of a grid.

[0022] Furthermore, the read-out circuit which reads the information memorized by the write-in circuit which writes information in said memory cell, and said memory cell is connected to the trailer of the 1st wiring 21, the 2nd wiring 25, and the 3rd wiring 35.

[0023] Next, actuation of the non-volatile semiconductor memory of this example is explained. Drawing 2 is the mimetic diagram showing actuation of the memory cell of this example, and the mimetic diagram in which drawing 2 (a) shows write-in actuation, and drawing 2 (b) are the mimetic diagrams showing read-out actuation. In drawing 2, although the direction of a word line, the upper layer, and a lower layer bit line changes and is expressed to drawing 1, it is what considered the expedient nature on explanation, and main point does not change.

[0024] First, write-in actuation is explained. First, as shown in drawing 2 (a), in the lower layer bit line 21, i.e., the 1st wiring layer, and the upper bit line 35, i.e., the 3rd wiring layer, a predetermined current is passed for a predetermined current in the 2nd direction 37 to a sink and a word line 25, i.e., the 2nd wiring layer, in the 1st direction 36. Consequently, the field induction was carried out [the field] by these currents occurs around each wiring layer.

[0025] As shown in drawing 2 (a), in the 1st memory device 28, the field by the lower layer bit current occurs in the direction of a direction 51, and the field by the Ward line current occurs in the direction of a direction 52. Therefore, a field is impressed in the direction in which they were compounded by the 1st memory device 28. On the other hand, in the 2nd memory device 38, the field by the upper bit current occurs in the direction of a direction 54, and the field by the Ward line current occurs in the direction of a direction 53. Therefore, a field is impressed in the direction in which they were compounded by the 2nd memory device 38. Consequently, the field of hard flow is mutually impressed to the 1st memory device 28 and 2nd memory device 38, and the magnetization direction of the ferromagnetic in the data storage layer 24 of the 1st memory device 28 turns into an opposite direction to the magnetization direction of the ferromagnetic in the data storage layer 34 of the 2nd memory device 38. At this time, the magnetization direction of the data storage layer 24 and the magnetization direction of the fixed bed 22 in the 1st memory device 28 will become anti-parallel mutually, and, as for the magnetization direction of the data storage layer 34 and the magnetization direction of the fixed bed 32 in the 2nd memory device 38, the magnetization direction of the fixed bed in each memory device will become parallel mutually, if the same as the magnetization direction of the data storage layer 34 in the 2nd memory device 38. This condition is remembered to be for example, memory cell data "1."

[0026] In order to memorize memory cell data "0", only the direction of a current of a word line is made into the reverse in the case of memory cell data "1." At this time, the current of the upper bit line and a lower layer bit line is made into the same direction as the case of memory cell data "1." Consequently, if only the Ward line current induction field turns to the case of memory cell data "1", and reverse and arranges the easy shaft of the direction of the magnetic domain in the 1st data storage layer 24 and the 2nd data storage layer 34 in the 1st direction 36 beforehand, the magnetization direction of the data storage layer in the 1st memory device 28 and 2nd memory device 38 will be reversed to the case of memory cell data "1."

[0027] For example, the condition of the 2nd memory device 38 is used as data "1" (it considers as the case of magnetic reluctance of being small). If one pair of the conditions are set to "1" of memory cell data when the condition of the 1st memory device 28 is set to "0" (it considers as the case of magnetic reluctance of being large), by reversing only the current of a word line The condition of the 2nd

memory device 38 can be used as data "0" (when magnetic reluctance is large), and the condition of the 1st memory device 28 can be used as data "1" (when magnetic reluctance is small). At this time, one pair of these conditions are equivalent to "0" of memory cell data.

[0028] Next, read-out actuation is explained. In the non-volatile semiconductor memory of this example, after performing predetermined storage to each memory cell to the memory cell array, the memory cell of arbitration can be chosen by choosing a word line, the predetermined upper bit line, and a predetermined lower layer bit line. As the memory cell of arbitration is chosen and it is shown in drawing 2 (b), it becomes possible to read the information memorized by detecting the difference of the tunnel current between a word line (2nd wiring 25) and the upper bit line (3rd wiring 35), and the tunnel current between a word line and a lower layer bit line (1st wiring 21). That is, by the condition that resistance is stronger than the 2nd memory device 38, and memory cell data "0", the 1st memory device 28 detects [the 1st memory device 28] the condition that resistance is smaller than the 2nd memory device 38, by the difference in the condition of having made the 1st memory device 28 and 2nd memory device 38 memorizing read-out of data, i.e., memory cell data, "1."

[0029] In this example, write information in one memory device like before, and information is not read by detecting the absolute value of the tunnel current which flows to this memory device. Information is written in using the 1st memory device 28 and 2nd memory device 38 as one pair. Since stored information is read to a memory cell by comparing relatively the magnitude of the tunnel current which flows the 1st memory device 28, and the tunnel current which flows the 2nd memory device 38, the precision which reads information can be raised remarkably. Thereby, information can be read with a sufficient precision at high speed, without using the indispensable highly precise resistance generating component conventionally. Moreover, since the memory cell and non-volatile semiconductor memory of this example have the simple configuration, high density can be made to accumulate them.

[0030] Next, the 2nd example of this invention is explained. Drawing 3 is the mimetic diagram showing the configuration of the non-volatile semiconductor memory (MRAM) concerning this example. The description of the non-volatile semiconductor memory of this example is a point which arranges two memory cell groups arranged in the shape of [which was shown in said 1st example] a grid up and down through an interlayer insulation film 40.

[0031] The configuration of the non-volatile semiconductor memory of

this example As shown in drawing 3 , two or more 1st wiring 21 arranged in parallel on the 1st flat surface (not shown) is formed. Two or more 1st memory devices 28 are arranged in the shape of a grid so that it may connect with the 1st wiring 21 on this 1st wiring 21, and two or more 2nd wiring 25 is formed so that it may connect with the 1st memory device 28 on this 1st memory device 28. At this time, the 2nd wiring 25 is formed in the direction which intersects perpendicularly with the 1st wiring 21 on the 2nd flat surface (not shown) parallel to said 1st flat surface. Furthermore, two or more 2nd memory devices 38 are arranged in the shape of a grid so that it may connect with the 2nd wiring 25 on the 2nd wiring 25, and the 3rd wiring 35 is formed in parallel with the 1st wiring 21 on this 2nd memory device 38 on the 3rd flat surface (not shown) parallel to said 1st flat surface. Furthermore, the interlayer insulation film 40 is formed so that this 3rd wiring 35 may be covered. [0032] Furthermore, two or more 4th wiring 41 arranged in parallel on an interlayer insulation film 40 is formed, two or more 3rd memory devices 48 are arranged in the shape of a grid so that it may connect with the 4th wiring 41 on this 4th wiring 41, and two or more 5th wiring 45 is formed so that it may connect with the 3rd memory device 48 on this 3rd memory device 48. At this time, the 5th wiring 45 is formed in the direction which makes the 4th wiring 41 and right angle on the 5th flat surface (not shown) parallel to the front face of said interlayer insulation film 40. Furthermore, two or more 4th memory devices 58 are arranged in the shape of a grid so that it may connect with the 5th wiring 45 on the 5th wiring 45, and the 6th wiring 55 is formed in parallel with the 4th wiring 41 on this 5th memory device 58 on the front face of said interlayer insulation film 40, and the 6th parallel flat surface (not shown).

[0033] The non-volatile semiconductor memory of this example can double the consistency of the memory cell per unit area by having such a configuration as compared with the non-volatile semiconductor memory concerning the 1st example. It is also possible similarly to arrange three or more memory cell groups arranged in the shape of a grid up and down.

[0034] In addition, in the above-mentioned example, although the example the example and the direction of the 2nd wiring 25 cross at right angles to the direction of the 1st wiring 21 was shown, in the non-volatile semiconductor memory of this invention, the direction of the 1st wiring 21 and the direction of the 2nd wiring 25 do not necessarily need to lie at right angles, and the include angle of arbitration can be made.

[0035] Moreover, in the above-mentioned example, although the example

which arranges the 2nd flat surface between the 1st flat surface and the 3rd flat surface was shown, especially in this invention, the physical relationship between said each flat surface is not limited, either, for example, the 1st flat surface and 3rd flat surface are made in agreement, and the 1st wiring 21 and the wiring 35 of the 3rd may be arranged on the same flat surface. However, in this case, it is necessary to devise so that the relation of the magnetization direction of the fixed bed 22 and the magnetization direction of the data storage layer 24 in the 1st memory device 28 may differ from the relation of the magnetization direction of the fixed bed 32 and the magnetization direction of the data storage layer 34 in the 2nd memory device 38.

[0036]

[Effect of the Invention] Like ****, in the non-volatile semiconductor memory constituted by the magnetic resistance element, it becomes possible to raise current detection precision also to a current change smaller than before, and, according to this invention, the indispensable resistance generating component is conventionally made unnecessary. Moreover, since the configuration is simple, the memory cell of the non-volatile semiconductor memory in this invention is easily accumulable. In addition, although the memory cell in the non-volatile semiconductor memory of this invention becomes the configuration of having two memory devices, since the laminating of these two memory devices is carried out up and down and they are formed, there is no increase of the area of a memory cell and more stable storage actuation can be realized in the same high recording density as the former.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the mimetic diagram showing the configuration of the non-volatile semiconductor memory concerning the 1st example of this invention, and they are the mimetic diagram in which drawing 1 (a) shows the configuration of a memory cell, and the mimetic diagram showing a part of configuration of the non-volatile semiconductor memory with which (b) makes this memory cell arrange in the shape of a grid, and it is formed.

[Drawing 2] It is the mimetic diagram showing actuation of the non-volatile semiconductor memory concerning the 1st example, and the

mimetic diagram in which drawing 2 (a) shows write-in actuation, and (b) are the mimetic diagrams showing read-out actuation.

[Drawing 3] It is the mimetic diagram showing the structure of the non-volatile semiconductor memory concerning the 2nd example of this invention.

[Drawing 4] It is the mimetic diagram showing an example of the memory cell in the conventional non-volatile semiconductor memory, and the mimetic diagram in which drawing 4 (a) shows the configuration of this memory cell, the mimetic diagram in which (b) shows read-out actuation of this memory cell, and (c) are the mimetic diagrams showing write-in actuation of this memory cell.

[Drawing 5] It is the mimetic diagram showing a part of configuration of this conventional non-volatile semiconductor memory.

[Description of Notations]

- 11; lower layer wiring
- 12; fixed bed
- 13; insulating layer
- 14; data storage layer
- 15; the upper wiring
- 16; read-out current path
- 17; memory device
- 18; the magnetization direction
- 21; 1st wiring
- 22; the 1st fixed bed
- 23; the 1st insulating layer
- 24; the 1st data storage layer
- 25; 2nd wiring
- 26; memory cell
- 28; the 1st memory device
- 32; the 2nd fixed bed
- 33; the 2nd insulating layer
- 34; the 2nd data storage layer
- 35; 3rd wiring
- 36; the 1st direction
- 37; the 2nd direction
- 38; the 2nd memory device
- 40; interlayer insulation film
- 41; 4th wiring
- 42; the read-out current path of the 1st memory device 28
- 43; the read-out current path of the 2nd memory device 38
- 45; 5th wiring

46; memory cell
48; the 3rd memory device
51; the field in the 1st memory device 28 by the 1st wiring 21
52; the field in the 1st memory device 28 by the 2nd wiring 25
53; the field in the 2nd memory device 38 by the 2nd wiring 25
54; the field in the 2nd memory device 38 by the 3rd wiring 35
55; 6th wiring
58; the 4th memory device

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)	
G 1 1 C	11/15	G 1 1 C	11/15	5 E 0 4 9
	11/14		11/14	A 5 F 0 8 3
H 0 1 F	10/08	H 0 1 F	10/08	
H 0 1 L	27/105	H 0 1 L	43/08	Z
	43/08		27/10	4 4 7
		審査請求 未請求 請求項の数 9		〇 L (全 9 頁)

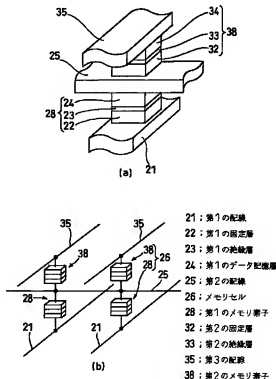
(21) 出願番号	特願2000-199590(P2000-199590)	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成12年6月30日(2000.6.30)	(72) 発明者	岡澤 武 東京都港区芝五丁目7番1号 日本電気株式会社社内
		(74) 代理人	100090158 弁理士 藤巻 正憲
		Fターム(参考)	5E049 AC05 BA06 CB01 5F083 FZ10 NA08

(54) 【発明の名称】 不揮発性半導体記憶装置及び情報記録方法

(57) 【要約】

【課題】 出力信号の変化が大きいため誤動作を起こしにくく、高精度な抵抗値発生素子が不要で、構成が単純であるため高密度に集積することが可能な不揮発性半導体記憶装置及びこの不揮発性半導体記憶装置の情報記録方法を提供する。

【解決手段】 メモリセルの構成において、第1の配線21と第1の配線21に直交する第2の配線25と第1の配線と平行な第3の配線35を設け、第1の配線21と第2の配線25の間に第1のメモリ素子28を設け、第2の配線25と第3の配線35の間に第2のメモリ素子38を設け、これらのメモリ素子の構成を、2層の強磁性体薄膜の間に絶縁膜13を挟んだ構成とする。そして、第1のメモリ素子28と第2のメモリ素子38には互いに反対のデータを記録する。



【特許請求の範囲】

【請求項1】 第1の方向に延在する第1の配線と、前記第1の配線に接続するように設けられた第1のメモリ素子と、この第1のメモリ素子に接続し前記第1の方向と異なる第2の方向に延在する第2の配線と、前記第2の配線に接続するように設けられた第2のメモリ素子と、この第2のメモリ素子に接続し前記第1の方向に延在する第3の配線と、を有し、前記第1のメモリ素子は絶縁膜及びこの絶縁膜の両側に設けられ夫々前記第1の配線及び前記第2の配線に接続された2層以上の強磁性薄膜により構成され、前記第2のメモリ素子は絶縁膜及びこの絶縁膜の両側に設けられ夫々前記第2の配線及び前記第3の配線に接続された2層以上の強磁性薄膜により構成され、この2層以上の強磁性薄膜における磁化方向の差として情報を記憶し、この磁化方向の差による磁気抵抗効果により前記メモリ素子を通るトンネル電流の電気抵抗値が変化することを利用して情報を読み出し、前記第1のメモリ素子及び前記第2のメモリ素子は常に1対となって互いに反対の情報を記憶することを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記第1、第2及び第3の配線並びに前記第1及び第2のメモリ素子が夫々複数個設けられ、前記第1、第2及び第3の配線に接続され前記第1及び第2のメモリ素子に情報を書き込み書き込み回路と、前記第1、第2及び第3の配線に接続され前記第1及び第2のメモリ素子に記憶された情報を読み出す読み出し回路と、を有することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記第1の方向と前記第2の方向は、互いに直交することを特徴とする請求項1又は2に記載の不揮発性半導体記憶装置。

【請求項4】 前記第1の配線は第1の平面上に互いに平行に配置され、前記第2の配線は前記第1の平面と平行で且つ前記第1の平面上に配置されている第2の平面上に互いに平行に配置され、前記第3の配線は前記第1の平面と平行で且つ前記第2の平面上に配置されている第3の平面上に互いに平行に配置され、前記第1のメモリ素子は前記第1の平面と平行で且つ前記第1の平面と前記第2の平面の間に配置されている第4の平面上に配置され、前記第2のメモリ素子は前記第1の平面と平行で且つ前記第2の平面と前記第3の平面の間に配置されている第5の平面上に配置されていることを特徴とする請求項2又は3に記載の不揮発性半導体記憶装置。

【請求項5】 前記書き込み回路及び前記読み出し回路は半導体集積回路であることを特徴とする請求項2乃至4のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項6】 前記第1、第2及び第3の配線並びに前記第1及び第2のメモリ素子からなる群が、絶縁層を介して複数個配置されていることを特徴とする請求項1乃至5のいずれか1項に記載の不揮発性半導体記憶装置。

至5のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項7】 請求項1乃至6のいずれか1項に記載の不揮発性半導体記憶装置の情報記録方法であって、前記不揮発性半導体記憶装置への情報の書き込み方法は、前記第1のメモリ素子における1以上の強磁性薄膜を磁化しこの磁化方向と前記第1のメモリ素子における他の強磁性薄膜の磁化方向との関係を平行又は反平行とする工程と、前記第2のメモリ素子における1以上の強磁性薄膜を磁化しこの磁化方向と前記第2のメモリ素子における他の強磁性薄膜の磁化方向との関係を平行又は反平行とする工程と、を有し、前記第1のメモリ素子における前記磁化方向の関係を平行とし前記第2のメモリ素子における前記磁化方向の関係を反平行とする第1の状態と、前記第1のメモリ素子における前記磁化方向の関係を反平行とし前記第2のメモリ素子における前記磁化方向の関係を平行とする第2の状態とのうち一方を選択することにより情報を書き込むものであり、更に、前記不揮発性半導体記憶装置からの情報の読み出し方法は、前記第1のメモリ素子を通るトンネル電流の第1の電気抵抗値を測定する工程と、前記第2のメモリ素子を通るトンネル電流の第2の電気抵抗値を測定する工程と、前記第1の電気抵抗値と前記第2の電気抵抗値との差を検出し前記第1及び第2の状態のうちどちらが選択されているかを検知することにより情報を読み出す工程と、を有することを特徴とする不揮発性半導体記憶装置の情報記録方法。

【請求項8】 前記第1のメモリ素子における1以上の強磁性薄膜を磁化する工程は、前記第1の配線及び前記第2の配線のうち少なくとも一方に電流を流しこの電流により発生する磁場を利用して行うことを特徴とする請求項7に記載の不揮発性半導体記憶装置の情報記録方法。

【請求項9】 前記第2のメモリ素子における1以上の強磁性薄膜を磁化する工程は、前記第2の配線及び前記第3の配線のうち少なくとも一方に電流を流しこの電流により発生する磁場を利用して行うことを特徴とする請求項7又は8に記載の不揮発性半導体記憶装置の情報記録方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電氣的に書換え可能な不揮発性半導体記憶装置及びその情報記録方法に関し、特に、メモリ素子が強磁性薄膜よりなる磁気抵抗素子により構成される不揮発性半導体記憶装置及びその情報記録方法に関する。

【0002】

【従来の技術】

【従来の技術】電氣的に書換え可能な不揮発性半導体記憶装置において、強磁性薄膜よりなる磁気抵抗素子を使用してメモリ素子が構成されているものを高密度磁気メ

モリ (Magnetic Random Access Memory: 以下、MRAM) と呼ぶ。

【0003】図4は、このMRAMのメモリ素子の一例を示す模式図であって、図4(a)はこのメモリ素子の構造を示す模式図であり、(b)はこのメモリ素子における読み出し動作を示す模式図であり、(c)はこのメモリ素子の書き込み動作を示す模式図である。図4

(a)に示すように、このメモリ素子においては、下層配線11上の所定の位置に厚さ約20nmの磁化の方向が固定されている強磁性薄膜よりなる固定層12が設けられ、絶縁膜13の上に厚さ約20nmの磁化の方向が変化可能な強磁性薄膜よりなるデータ記憶層14が設けられ、このデータ記憶層14の上に下層配線11と直行する方向に伸びた上層配線15が設けられている。

【0004】図4(c)に示すように、前記メモリ素子の書き込み動作は、外部磁場によってデータ記憶層14の磁化方向を変化させ、固定層12の磁化方向とデータ記憶層14の磁化方向との関係を、互いに平行(データ1にあたる)又は反平行(データ0にあたる)とすることで2値情報の記憶を行う。このとき、電気抵抗効果により、前記磁化方向の関係が平行であるときの絶縁膜13の電気抵抗値は、反平行であるときの絶縁膜13の電気抵抗値と比較して、約10乃至40%変化する。

【0005】このような方法で記憶された2値情報の読み出しは、図4(b)に示すように、上層配線15と下層配線11との間に所定の電位差を与え、下層配線11から固定層12、絶縁膜13及びデータ記憶層14を介して上層配線15へトンネル電流を流すことにより行うことができる。即ち、固定層12の磁化方向とデータ記憶層14の磁化方向との関係が平行か又は反平行かにより、トンネル磁気抵抗効果 (Tunneling magneto-resistance effect: 以下、TMRという) により絶縁膜13の電気抵抗値が異なるため、前記トンネル電流変化を検出することで記憶された情報を外部へ取り出すことができる。

【0006】図4(a)及び(b)に示したメモリ素子は、トンネル磁気抵抗効果 (TMR) を利用しており、以前の巨大磁気抵抗効果 (Giant magneto-resistance effect: 以下、GMRという) を利用するメモリ素子よりも記憶情報を外部へ引き出すための電極の形成において単純な構成になり、高密度なMRAMを形成する方法としてより有利である。

【0007】図5は、図4に示したメモリ素子を格子状に配置したMRAMを示す模式図である。ワード線と呼ばれる下層配線11が複数配置され、ワード線とは異なる方向にビット線と呼ばれる上層配線15が複数配置され、下層配線11と上層配線15は格子状に交差している。この格子の交点、即ち、下層配線11と上層配線15との最近接点には、前述したメモリ素子17が配置さ

れる。任意のメモリ素子17は、所定のワード線(下層配線11)とビット線(上層配線15)を選択して選ぶことができる。所定の記憶を各メモリ素子17に対して行い、各メモリ素子17に対応するワード線とビット線との間のトンネル電流を検出することにより、記憶された情報を外部へ取り出すことができる。従来のこの種のメモリの例として特開2000-82791号公報に開示されたメモリがある。このメモリの構成においても、下層配線と上層配線の間に形成されたMTJ(磁気トンネル接合)素子のトンネル電流の変化を記憶情報として検出する。

【0008】このように、TMRを利用するMRAMは、通常2層の強磁性薄膜とこれらに強磁性薄膜によって挟まれた絶縁膜とからなる3層以上の構成を有する磁気抵抗素子により構成され、外部磁場の変化により2つの強磁性薄膜における磁化方向の関係が平行又は反平行になり、これにより前記絶縁膜中のトンネル電流における電気抵抗値が異なるため、1及び0の2値の記憶を行うことができる。

【0009】しかしながら、磁気抵抗効果による電気抵抗値の変化量は通常約30%、最大でも約40%とあまり大きくなく、また、図5に示すように、多数のメモリ素子17を格子状に配置すると、特定のメモリ素子17に記憶された情報を読み出す場合にも非選択のワード線及びビット線に起因するノイズの影響を受け、このため、読み出し電流の(信号/ノイズ)比がより小さくなり、誤動作の原因になっている。特に、大容量の記憶装置を構成する際には、図5に示すように、多数のメモリ素子17を格子状に配置すると、主として製造上のばらつきにより、個々のメモリ素子17における電気抵抗値のばらつきが無視できない大きさまで増大することがある。

【0010】このため、この従来の不揮発性半導体記憶装置における検出手段には高精度な回路構成が必要とされ、また、読み出しの精度を上げるためには読み出しに要する時間が長くなるという問題点がある。読み出しの精度を上げるため手段として、例えば高精度な抵抗値発生素子を個々のメモリ素子における電気抵抗値の絶対値変化を検出する際の参照用として使用する等の手段があるが、このような高精度な抵抗値発生素子を形成することはコストの上昇につながり、また、読み出し時の性能の低下にもつながる。

【0011】このようなMRAM特有の問題に対して、例えば特開平10-177783号公報に開示されているように、2個のメモリ素子を1対にしてメモリセルを形成し、このメモリセルに情報を記憶し、電流の差を読み出すという技術が提案されている。

【0012】

【発明が解決しようとする課題】しかしながら、特開平10-177783号公報にて開示されている技術には

以下に示す問題点がある。この技術におけるMRAM用磁気メモリセルはGMR効果を利用しているが、このメモリセルでは、記憶情報を読み出すためには、磁化方向と平行な方向に電流を流して電気抵抗値変化を検出しなければならない。そのため、特開平10-177783号公報における図1に示されているように、電気抵抗値検出用電極を情報記録部（磁気抵抗素子）の側面に形成しなければならない。しかも上下に二つのメモリ素子を積層して形成する場合には電極引き出し配線が複雑な構成になるという問題点がある。このため、このメモリセルは、多数のメモリセルを高密度に集積して形成される情報記憶装置には適さない。

【0013】本発明はかかる問題点に鑑みてなされたものであって、出力信号の変化が大きいため誤動作を起こしにくく、抵抗発生素子が不要で、構成が単純であるため高密度に集積することが可能な不揮発性半導体記憶装置及びこの不揮発性半導体記憶装置の情報記録方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明に係る不揮発性半導体記憶装置は、第1の方向に延在する第1の配線と、前記第1の配線に接続するように設けられた第1のメモリ素子と、この第1のメモリ素子に接続し前記第1の方向と異なる第2の方向に延在する第2の配線と、前記第2の配線に接続するように設けられた第2のメモリ素子と、この第2のメモリ素子に接続し前記第1の方向に延在する第3の配線と、を有し、前記第1のメモリ素子は絶縁膜及びこの絶縁膜の両側に設けられ夫々前記第1の配線及び前記第2の配線に接続された2層以上の強磁性薄膜により構成され、前記第2のメモリ素子は絶縁膜及びこの絶縁膜の両側に設けられ夫々前記第2の配線及び前記第3の配線に接続された2層以上の強磁性薄膜により構成され、この2層以上の強磁性薄膜における磁化方向の差として情報を記憶し、この磁化方向の差による磁気抵抗効果により前記メモリ素子を流れるトンネル電流の電気抵抗値が変化することを利用して情報を読み出し、1対1のメモリ素子及び前記第2のメモリ素子は常に1対となって互いに反対の情報を記憶すること特徴とする。

【0015】従来、2本の配線の間に1つのメモリ素子を設け、このメモリセルを流れるトンネル電流の電気抵抗値の絶対値を検出していたのに対して、本発明においては、3本の配線の間に2つのメモリ素子を形成し、これらに互いに反対のデータを記憶させ、そのトンネル電流の差分を検出する。これにより、電気抵抗値の相対的な変化を検出するため、変化の幅が大きくなり情報を読み出す精度が向上する。また、メモリセルの構成が単純な構成となっているため、容易にこのメモリセルを集積して大規模な不揮発性半導体記憶装置を形成することができ。

【0016】本発明に係る不揮発性半導体記憶装置の情報記録方法における前記メモリセルへの情報の書き込み方法は、前記第1のメモリ素子における1以上の強磁性薄膜を磁化しこの磁化方向と前記第1のメモリ素子における他の強磁性薄膜の磁化方向との関係を平行又は反平行とする工程と、前記第2のメモリ素子における1以上の強磁性薄膜を磁化しこの磁化方向と前記第2のメモリ素子における他の強磁性薄膜の磁化方向との関係を平行又は反平行とする工程と、を有し、前記第1のメモリ素子における前記磁化方向の関係を平行とし前記第2のメモリ素子における前記磁化方向の関係を反平行とする第1の状態と、前記第1のメモリ素子における前記磁化方向の関係を反平行とし前記第2のメモリ素子における前記磁化方向の関係を平行とする第2の状態とのうち一方を選択することにより情報を書き込むのである。

【0017】また、前記情報の読み出し方法は、前記第1のメモリ素子を流れるトンネル電流の第1の電気抵抗値を測定する工程と、前記第2のメモリ素子を流れるトンネル電流の第2の電気抵抗値を測定する工程と、前記第1の電気抵抗値と前記第2の電気抵抗値との差を検出し前記第1及び第2の状態のうちどちらが選択されているかを検知することにより情報を読み出す工程と、を有するものである。

【0018】

【発明の実施の形態】以下、本発明の実施例について添付の図面を参照して具体的に説明する。先ず、本発明の第1実施例について説明する。図1は本実施例に係るMRAMのメモリセル及び不揮発性半導体記憶装置の構成を示す模式図であって、図1(a)はメモリセルの構成を示す模式図であり、図1(b)はこのメモリセルを格子状に配列させて形成される不揮発性半導体記憶装置の構成の一部を示す模式図である。

【0019】本実施例に係る不揮発性半導体記憶装置のメモリセルは、図1(a)に示すように、第1の方向に直線状に配置された第1の配線21が設けられ、第1の配線21上の所定の位置に第1の配線21に接続するように厚さ約20nmの磁化の方向が固定されている強磁性膜よりなる第1の固定層22が設けられ、第1の固定層22上に第1の固定層22に接続するようにトンネル電流を流すための厚さ約2nmの第1の絶縁膜23が設けられ、第1の絶縁膜23上に第1の絶縁膜23に接続するように厚さ約20nmの磁化の方向が変化可能な強磁性薄膜よりなる第1のデータ記憶層24が設けられ、第1のデータ記憶層24上に第1のデータ記憶層24に接続するように第1の配線11と直行する方向に直線状に配置された第2の配線25が設けられ、更に、第2の配線25上の所定の位置に第2の配線25に接続するように厚さ約20nmの磁化の方向が固定されている強磁性膜よりなる第2の固定層32が設けられ、第2の固定層32上に第2の固定層32に接続するようにトンネル

電流を流すための厚さ約2nmの第2の絶縁膜33が設けられ、第2の絶縁膜33上に第2の絶縁膜33に接続するように厚さ約20nmの磁化の方向が変化可能な強磁性薄膜よりなる第2のデータ記憶層34が設けられ、第2のデータ記憶層34上に第2のデータ記憶層34に接続するように第1の配線11と平行に配置された第3の配線35が設けられている。なお、このメモリセルの一部分として、第1の固定層22、第1の絶縁膜23及び第1のデータ記憶層24により第1のメモリ素子28が構成され、第2の固定層32、第2の絶縁膜33及び第2のデータ記憶層34により第2のメモリ素子38が構成されている。本実施例のメモリセルはこの第1のメモリ素子28と第2のメモリ素子38を1対として1ビットの記憶を行う。

【0020】本実施例の不揮発性半導体記憶装置は前記メモリセルを格子状に配列して形成されている。図1(b)に示すように、下層ビット線である第1の配線21が第1の平面上に互いに平行且つ等間隔に複数配置され、この下層ビット線に直行する方向にワード線である第2の配線25が前記第1の平面上に平行な第2の平面上に互いに平行且つ等間隔に複数配置され、更に、第1の配線21と同じ方向に上層ビット線である第3の配線35が前記第2の平面上に平行な第3の平面上に互いに平行且つ等間隔に複数配置されている。このとき、前記第2の平面は前記第1の平面と前記第3の平面との間に配置されている。また、前記第1乃至第3の平面に垂直な方向からみると、即ち平面視で、第1の配線21は第3の配線35に重なり、第1の配線21と第2の配線25とは格子状に交差している。

【0021】第1の配線21と第2の配線25との最近接点における第1の配線21と第2の配線25との間には第1のメモリ素子28が配置されている。また、第2の配線25と第3の配線35との最近接点における第2の配線25と第3の配線35との間には第2のメモリ素子38が配置されている。従って、平面視で、第1のメモリ素子28は第2のメモリ素子38に重なっている。1個の第1のメモリ素子28とその上に配置された第2のメモリ素子38とを1対にして1つのメモリセルを構成する。本実施例の不揮発性半導体記憶装置においては、このメモリセルが格子状に配列されている。

【0022】更に、第1の配線21、第2の配線25及び第3の配線35の終端部には、前記メモリセルに情報を書き込む書込回路及び前記メモリセルに記憶された情報を読み出す読出回路が接続されている。

【0023】次に、本実施例の不揮発性半導体記憶装置の動作について説明する。図2は本実施例のメモリセルの動作を示す模式図であって、図2(a)は書き込み動作を示す模式図、図2(b)は読み出し動作を示す模式図である。図2においては、図1に対してワード線と上層及び下層のビット線の方向が入れ替えて表現されてい

るが、説明上の便宜性を配慮したもので、主旨は変わらない。

【0024】まず、書き込み動作について説明する。先ず、図2(a)に示すように、下層ビット線、即ち第1の配線層21及び上層ビット線、即ち第3の配線層35において、第1の方向36に所定の電流を流し、ワード線、即ち、第2の配線層25には第2の方向37に所定の電流を流す。その結果、これらの電流によって誘起された磁界が各配線層の周囲に発生する。

【0025】図2(a)に示すように、第1のメモリ素子28には下層ビット電流による磁界が方向51の方向に発生し、ワード線電流による磁界が方向52の方向に発生する。従って、第1のメモリ素子28にはそれらが合成された方向に磁界が印加される。一方、第2のメモリ素子38には上層ビット電流による磁界が方向54の方向に発生し、ワード線電流による磁界が方向53の方向に発生する。従って、第2のメモリ素子38にはそれらが合成された方向に磁界が印加される。その結果、第1のメモリ素子28及び第2のメモリ素子38には互いに逆方向の磁界が印加され、第1のメモリ素子28のデータ記憶層24における強磁性体の磁化方向は、第2のメモリ素子38のデータ記憶層34における強磁性体の磁化方向に対して反対方向になる。このとき、各メモリ素子における固定層の磁化方向が、例えば第2のメモリ素子38におけるデータ記憶層34の磁化方向と同じであれば、第1のメモリ素子28におけるデータ記憶層24の磁化方向と固定層22の磁化方向は互いに反平行になり、第2のメモリ素子38におけるデータ記憶層34の磁化方向と固定層32の磁化方向は互いに平行になる。この状態を、例えばメモリセルデータ“1”と記憶する。

【0026】メモリセルデータ“0”を記憶するために、例えばワード線の電流方向のみをメモリセルデータ“1”の場合の逆にする。このとき、上層ビット線及び下層ビット線の電流はメモリセルデータ“1”の場合と同じ方向とする。その結果、ワード線電流誘起磁界のみが、メモリセルデータ“1”の場合と逆を向き、予め第1のデータ記憶層24及び第2のデータ記憶層34における磁区方向の容易軸を第1の方向36に揃えておけば、第1のメモリ素子28及び第2のメモリ素子38におけるデータ記憶層の磁化方向は、メモリセルデータ“1”の場合に対して反転する。

【0027】例えば、第2のメモリ素子38の状態をデータ“1”（磁気抵抗の小さい場合とする）とし、第1のメモリ素子28の状態を“0”（磁気抵抗の大きい場合とする）とした場合に、その1対の状態を仮にメモリセルデータの“1”とすると、ワード線の電流のみを反転させることで、第2のメモリ素子38の状態をデータ“0”（磁気抵抗の大きい場合）とし、第1のメモリ素子28の状態をデータ“1”（磁気抵抗の小さい場合）

とすることができる。このとき、この1対の状態はメモリセルデータの“0”に相当する。

【0028】次に、読み出し動作について説明する。本実施例の不揮発性半導体記憶装置においては、そのメモリセルアレイに対して、所定の記憶を各メモリセルに対して行った後、所定のワード線、上層ビット線及び下層ビット線を選択することにより任意のメモリセルを選択することができる。任意のメモリセルを選択し、図2

(b)に示すように、ワード線(第2の配線25)と上層ビット線(第3の配線35)との間のトンネル電流と、ワード線と下層ビット線(第1の配線21)との間のトンネル電流との差分を検出することで記憶された情報を読み出すことが可能になる。即ち、データの読み出しは、第1のメモリ素子28及び第2のメモリ素子38に記憶させた状態の違い、すなわち、メモリセルデータ“1”では第1のメモリ素子28が第2のメモリ素子38より抵抗が大きい状態、メモリセルデータ“0”では第1のメモリ素子28が第2のメモリ素子38より抵抗が小さい状態を検出する。

【0029】本実施例においては、従来のように1つのメモリ素子に情報を書き込み、このメモリ素子に流れるトンネル電流の絶対値を検出することにより情報を読み出すのではなく、第1のメモリ素子28と第2のメモリ素子38を1対として情報を書き込み、第1のメモリ素子28を流れるトンネル電流と第2のメモリ素子38を流れるトンネル電流の大きさを相対的に比較することでメモリセルに記憶させた情報を読み出すため、情報を読み出す精度を著しく向上させることができる。これにより、従来は不可欠であった高精度な抵抗発生素子を使用せずに、高速で精度よく情報の読み出しを行うことができる。また、本実施例のメモリセル及び不揮発性半導体記憶装置は構成が単純であるため、高密度に集積させることができる。

【0030】次に、本発明の第2実施例について説明する。図3は本実施例に係る不揮発性半導体記憶装置(MRAM)の構成を示す模式図である。本実施例の不揮発性半導体記憶装置の特徴は、前記第1実施例において示した格子状に配列したメモリセル群を、層間絶縁膜40を介して上下に2個配置している点である。

【0031】本実施例の不揮発性半導体記憶装置の構成は、図3に示すように、第1の平面(図示せず)上に平行に配列された複数の第1の配線21が設けられ、この第1の配線21の上に第1の配線21に接続するように複数の第1のメモリ素子28が格子状に配置され、この第1のメモリ素子28の上に第1のメモリ素子28に接続するように複数の第2の配線25が設けられている。このとき、第2の配線25は前記第1の平面と平行な第2の平面(図示せず)において第1の配線21と直交する方向に設けられている。更に、第2の配線25の上に第2の配線25に接続するように複数の第2のメモリ

素子38が格子状に配置され、この第2のメモリ素子38の上に第3の配線35が前記第1の平面と平行な第3の平面(図示せず)上において第1の配線21と平行に設けられている。更に、この第3の配線35を覆うように層間絶縁膜40が設けられている。

【0032】更に、層間絶縁膜40の上に平行に配列された複数の第4の配線41が設けられ、この第4の配線41の上に第4の配線41に接続するように複数の第3のメモリ素子48が格子状に配置され、この第3のメモリ素子48の上に第3のメモリ素子48に接続するように複数の第5の配線45が設けられている。このとき、第5の配線45は前記層間絶縁膜40の表面に平行な第5の平面(図示せず)上において第4の配線41と直角をなす方向に設けられている。更に、第5の配線45の上に第5の配線45に接続するように複数の第4のメモリ素子58が格子状に配置され、この第5のメモリ素子58の上に第6の配線55が前記層間絶縁膜40の表面と平行な第6の平面(図示せず)上において第4の配線41と平行に設けられている。

【0033】本実施例の不揮発性半導体記憶装置は、このような構成を有することにより、単位面積当たりのメモリセルの密度を第1の実施例に係る不揮発性半導体記憶装置と比較して2倍にすることができる。同様に、格子状に配置されたメモリセル群を上下に3個以上配置することも可能である。

【0034】なお、前述の実施例においては、第2の配線25の方向が第1の配線21の方向に対して直交する例を示したが、本発明の不揮発性半導体記憶装置においては、第1の配線21の方向と第2の配線25の方向とは必ずしも直交していなくてもよく、任意の角度をなすことができる。

【0035】また、前述の実施例においては、第1の平面と第3の平面の間に第2の平面を配置する例を示したが、本発明においては、前記各平面間の位置関係も特に限定されず、例えば、第1の平面と第3の平面を一致させて、第1の配線21と第3の配線35を同一平面上に配置してもよい。但し、この場合は、第1のメモリ素子28における固定層22の磁化方向とデータ記憶層24の磁化方向との関係が、第2のメモリ素子38における固定層32の磁化方向とデータ記憶層34の磁化方向との関係と異なるように工夫する必要がある。

【0036】

【発明の効果】上述の如く、本発明によれば、磁気抵抗素子により構成される不揮発性半導体記憶装置において、従来よりも小さな電流変化に対しても電流検出精度を高めることが可能となり、従来は不可欠であった抵抗発生素子を不要にする。また、本発明における不揮発性半導体記憶装置のメモリセルは、構成が単純であるため容易に集積することができる。なお、本発明の不揮発性半導体記憶装置におけるメモリセルは2つのメモリ素子

を有する構成になるが、これらの2つのメモリ素子は上下に積層して形成するため、メモリセルの面積の増大は全くなく、従来と同一の高記憶密度において、より安定な記憶動作が実現できる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る不揮発性半導体記憶装置の構成を示す模式図であって、図1(a)はメモリセルの構成を示す模式図、(b)はこのメモリセルを格子状に配列させて形成される不揮発性半導体記憶装置の構成の一部を示す模式図である。

【図2】第1実施例に係る不揮発性半導体記憶装置の動作を示す模式図であって、図2(a)は書き込み動作を示す模式図、(b)は読み出し動作を示す模式図である。

【図3】本発明の第2実施例に係る不揮発性半導体記憶装置の構成を示す模式図である。

【図4】従来の不揮発性半導体記憶装置におけるメモリセルの一例を示す模式図であって、図4(a)はこのメモリセルの構成を示す模式図、(b)はこのメモリセルの読み出し動作を示す模式図、(c)はこのメモリセルの書き込み動作を示す模式図である。

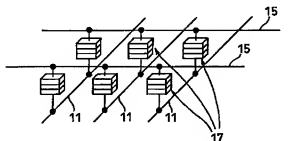
【図5】この従来の不揮発性半導体記憶装置の構成の一部を示す模式図である。

【符号の説明】

- 11；下層配線
- 12；固定層
- 13；絶縁層
- 14；データ記憶層
- 15；上層配線
- 16；読み出し電流経路
- 17；メモリ素子
- 18；磁化方向

- 21；第1の配線
- 22；第1の固定層
- 23；第1の絶縁層
- 24；第1のデータ記憶層
- 25；第2の配線
- 26；メモリセル
- 28；第1のメモリ素子
- 32；第2の固定層
- 33；第2の絶縁層
- 34；第2のデータ記憶層
- 35；第3の配線
- 36；第1の方向
- 37；第2の方向
- 38；第2のメモリ素子
- 40；層間絶縁膜
- 41；第4の配線
- 42；第1のメモリ素子28の読み出し電流経路
- 43；第2のメモリ素子38の読み出し電流経路
- 45；第5の配線
- 46；メモリセル
- 48；第3のメモリ素子
- 51；第1の配線21による第1のメモリ素子28中の磁界
- 52；第2の配線25による第1のメモリ素子28中の磁界
- 53；第2の配線25による第2のメモリ素子38中の磁界
- 54；第3の配線35による第2のメモリ素子38中の磁界
- 55；第6の配線
- 58；第4のメモリ素子

【図5】

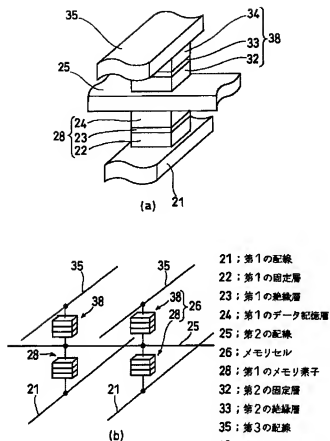


11；下層配線

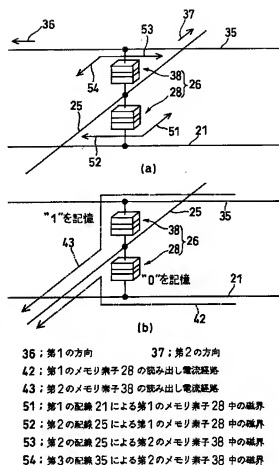
15；上層配線

17；メモリ素子

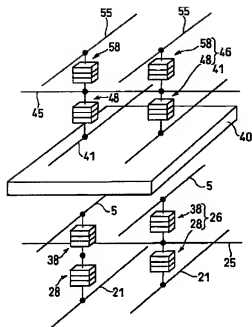
【図1】



【図2】

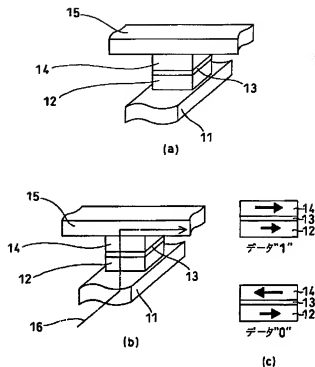


【図3】



- 21: 第1の配線 25: 第2の配線 26: メモリセル
 28: 第1のメモリ素子 35: 第3の配線
 38: 第2のメモリ素子 40: 層間絶縁膜 41: 第4の配線
 45: 第5の配線 46: メモリセル 48: 第3のメモリ素子
 55: 第6の配線 58: 第4のメモリ素子

【図4】



- 11: 下層配線 12: 固定層 13: 絶縁層
 14: データ記憶層 15: 上層配線
 16: 読み出し電流経路